

จันทร์ทิมา ปีวารัตน์ 2555: การลดปริมาณของเสียที่เกิดขึ้นจากกระบวนการติดสติฟเฟอร์
เนอร์ในอุตสาหกรรมผลิตแผ่นพิมพ์วงจรไฟฟ้าชนิดอ่อน ปริญญาวิศวกรรมศาสตร
มหาบัณฑิต สาขาวิชาการจัดการวิศวกรรม ภาควิชาวิศวกรรมอุตสาหกรรม ปรชชาน
กรรมการที่ปรึกษา : รองศาสตราจารย์พิรุทธิ์ ชาญเศรษฐิกุล, Ph.D. 102 หน้า

งานวิจัยฉบับนี้มีวัตถุประสงค์ เพื่อลดปริมาณข้อบกพร่องในกระบวนการติดสติฟเฟอร์เนอร์
(Stiffener Lamination) นั่นคือ ข้อบกพร่องประเภทสติฟเฟอร์เนอร์คลาดเคลื่อน โดยเฉพาะ
กรณีศึกษาผลิตภัณฑ์ PP1 มีปริมาณข้อบกพร่องมากที่สุด โดยใช้แนวทางซิกส์ ซิกมา ซึ่งมี
วัตถุประสงค์หลัก 2 ประการ คือ 1) เพื่อวิเคราะห์หาสาเหตุ ปัจจัย และแนวทางแก้ไขปัญหาที่
กระบวนการติดสติฟเฟอร์เนอร์โดยทำการวิเคราะห์อุปกรณ์ยึดจับ (Jig) และปัจจัยอื่นๆ และ 2) ลด
ค่าผิดพลาด (Gap) ที่เกิดจากกระบวนการการผลิตให้ใกล้เคียงกับข้อกำหนด (Specification) มาก
ที่สุด

จากการศึกษาพบ 2 ปัจจัยหลักที่มีอิทธิพลต่อปริมาณข้อบกพร่องที่เกิดขึ้นร้อยละ 1.20 คือ
ระยะเผื่อของจิ๊กจากขอบสติฟเฟอร์เนอร์ ถึงขอบจิ๊ก (Gap) และ พื้นผิวหน้าของจิ๊กที่ไม่มีวัสดุให้
สติฟเฟอร์เนอร์ยึดเกาะ ซึ่งเมื่อนำแนวทางซิกส์ ซิกมาซึ่งประกอบไปด้วย 5 ขั้นตอน คือ การกำหนด
ปัญหา (Define) การวัดผล (Measure) การวิเคราะห์ (Analysis) การปรับปรุง (Improve) และการ
ควบคุม (Control) เข้ามาประยุกต์ใช้ โดยในแต่ละขั้นตอนจะมีการนำเครื่องมือทางสถิติมาใช้เพื่อคัด
กรองปัจจัยที่มีอิทธิพล เช่น การวิเคราะห์ความแปรปรวน 2 sample t-test เป็นต้น จากนั้นนำทั้ง 2
ปัจจัยดังกล่าวมาออกแบบการทดลอง ซึ่งแต่ละปัจจัยประกอบไปด้วย 3 ระดับปัจจัย ซึ่งผลการ
ทดลองพบว่าระยะเผื่อของจิ๊กจากขอบสติฟเฟอร์เนอร์ถึงขอบจิ๊กที่ 0.05 มม. และ ปัจจัยพื้นผิวหน้า
ของจิ๊กเมื่อใช้วัสดุประเภทเมจิก เรซินชนิดที่ 2 มาเป็นตัวช่วยยึดเกาะสติฟเฟอร์เนอร์ จะมีความ
เหมาะสมที่สุด ที่ทำให้ปริมาณข้อบกพร่องลดลง ส่งผลให้ค่าเฉลี่ยระยะห่างระหว่างขอบของตัว
สติฟเฟอร์เนอร์ ถึงขอบของผลิตภัณฑ์ให้ค่าใกล้เคียงกับข้อกำหนด โดยก่อนทำการปรับปรุง
ปริมาณข้อบกพร่องอยู่ที่ร้อยละ 1.20 และหลังจากทำการปรับปรุงพบว่าปริมาณข้อบกพร่องเหลือ
ร้อยละ 0.14 แสดงให้เห็นว่าการวิจัยในครั้งนี้สามารถลดปริมาณข้อบกพร่องได้สูงถึงร้อยละ 88

คำสำคัญ: กระบวนการติดสติฟเฟอร์เนอร์ สติฟเฟอร์เนอร์คลาดเคลื่อน ซิกส์ ซิกมา